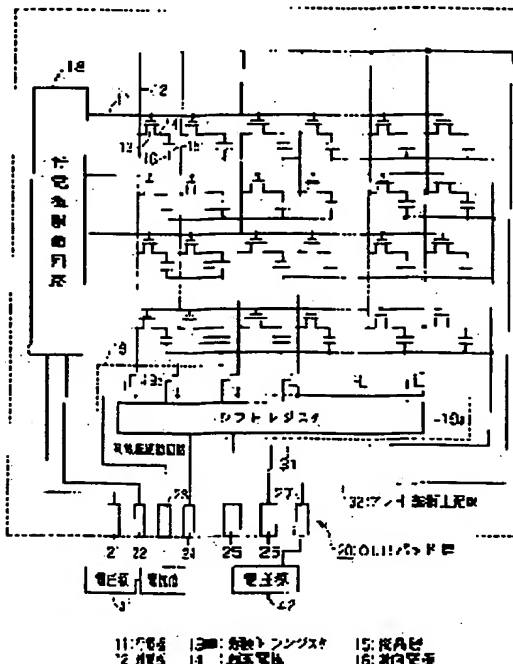


(43)Date of publication of application : 27.07.2001

G02F 1/13

(72)Inventor: TOMITA AKIRA

applied from the outside through the input/output terminal to one end of the column electrodes, a counter substrate opposing counter electrodes to the pixel electrodes and a liquid crystal layer held between the pixel electrodes and the counter electrodes, the wiring on the array substrate commonly connecting the other ends of the column electrodes to at least one input/output terminal is formed on the substrate surface. Then, a prescribed voltage is applied between the input/output terminals connected to the wiring on the array substrate and the input/output terminals supplying at least a video signal excepting the input/output



BEST AVAILABLE COPY

terminals, and a current at the time is measured, and a fault is detected.

---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特許2001-201765

(P2001-201765A)

(43) 公開日 平成13年7月27日(2001.7.27)

| (51) Int.Cl. <sup>7</sup> | 識別記号  | F I           | テラード(参考)        |
|---------------------------|-------|---------------|-----------------|
| G 0 2 F 1/1368            |       | G 0 1 R 31/00 | 2 G 0 1 4       |
| G 0 1 R 31/00             |       | 31/02         | 2 G 0 3 6       |
| 31/02                     |       | G 0 2 F 1/13  | 1 0 1 2 H 0 8 8 |
| G 0 2 F 1/13              | 1 0 1 | 1/136         | 5 0 0 2 H 0 9 2 |

審査請求 未請求 請求項の数 7 OL (全 8 頁)

(21) 出願番号 特願2000-8731(P2000-8731)

(22) 出願日 平成12年1月18日(2000.1.18)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町7番地

(72) 発明者 富田 暁

埼玉県深谷市橋本町1-9-2 株式会社

東芝深谷工場内

(74) 代理人 100064285

弁理士 佐藤 一雄 (外3名)

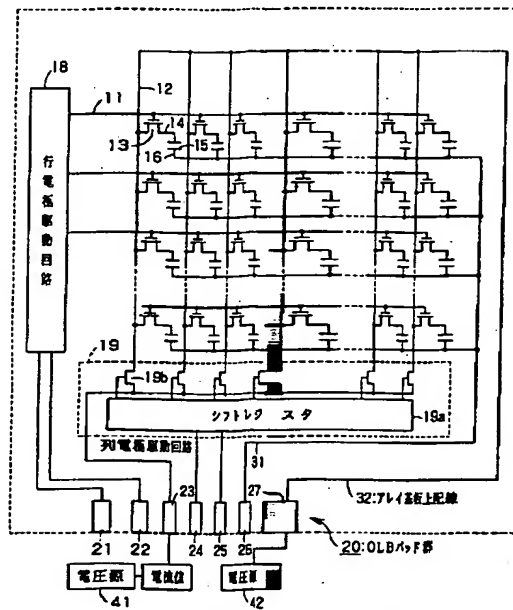
最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその検査方法

(57) 【要約】

【課題】 列電極駆動回路の面積を増大させずに、低精度で低価格の多結晶シリコン用プローバを用いて、多結晶シリコンアレイ基板の断線、短絡検査を行い得る液晶表示装置及びその検査方法を提供する。

【解決手段】 基板面に行電極及び列電極、これらの各交差部にそれぞれ設けられたスイッチング素子を介して接続される画素電極、基板の縁端部に設けられた複数の入出力端子、行電極駆動回路、並びに入出力端子を介して外部から加えられる映像信号を列電極の一端に加える列電極駆動回路を有するマトリクスアレイ基板と、画素電極に対向電極を対向させる対向基板と、画素電極及び対向電極間に挟持された液晶層とを備えるものにおいて、列電極の他端を少なくとも一つの入出力端子に共通接続するアレイ基板上配線を基板面に形成したものである。そして、アレイ基板上配線が接続された入出力端子と、これらの入出力端子以外の少なくとも映像信号を供給する入出力端子との間に所定の電圧を印加し、そのときの電流を測定して不良を検出する。



11: 行電極 13: 画素トランジスタ 15: 共通電極  
12: 列電極 14: 画素電極 16: 対向電極

#### 【特許請求の範囲】

【請求項1】透光性の基板の一主面にマトリクス状に配設された走査用の行電極及び映像信号用の列電極、これら行電極及び列電極の各交差部にそれぞれ設けられたスイッチング素子、これらのスイッチング素子にそれぞれ接続される画素電極、前記基板の縁端部に設けられ、外部との信号の入出力に使用される複数の入出力端子、行電極駆動回路、並びに前記入出力端子を介して外部から加えられる映像信号を前記列電極の一端に加える映像信号供給電極を含んでなる列電極駆動回路を有するマトリクスアレイ基板と、前記画素電極に対向させる対向電極を有し、前記マトリクスアレイ基板に対向配置された対向基板と、前記画素電極及び前記対向電極間に挟持された液晶層とを備え、前記行電極からの走査信号により前記列電極からの映像信号を、前記スイッチング素子を介して、前記画素電極に供給し、前記液晶層に電界を加える液晶表示装置において、

前記基板の一主面に形成され、前記各列電極の他端を少なくとも一つの前記入出力端子に共通接続するアレイ基板上配線を備えた、ことを特徴とする液晶表示装置。

【請求項2】前記各列電極の他端を、それぞれ抵抗を介して、前記アレイ基板上配線に接続したことを特徴とする請求項1に記載の液晶表示装置。

【請求項3】前記各列電極の他端を、それぞれ外部からオン、オフ制御することが可能なトランジスタを介して、前記アレイ基板上配線に接続したことを特徴とする請求項1に記載の液晶表示装置。

【請求項4】前記各列電極の他端を、それぞれダイオードを介して、前記アレイ基板上配線に接続したことを特徴とする請求項1に記載の液晶表示装置。

【請求項5】前記アレイ基板上配線は、互いに異なる前記入出力端子に接続された第1のアレイ基板上配線と第2のアレイ基板上配線とを含み、前記列電極の他端にアノードが接続され、前記第1のアレイ基板上配線にカソードが接続された第1のダイオードと、前記列電極の他端にカソードが接続され、前記第2のアレイ基板上配線にアノードが接続された第2のダイオードとを前記列電極毎に設けたことを特徴とする請求項4に記載の液晶表示装置。

【請求項6】前記第1及び第2のアレイ基板上配線は、前記マトリクスアレイ基板上の前記行電極駆動回路または前記列電極駆動回路の入出力信号等の前記入出力端子群中の配線と兼用することを特徴とする請求項5に記載の液晶表示装置。

【請求項7】請求項1乃至6のいずれか1項に記載の液晶表示装置を検査するに当たり、前記アレイ基板上配線が接続された前記入出力端子と、これらの入出力端子以外の少なくとも映像信号を供給する前記入出力端子との間に所定の電圧を印加し、この電圧が印加された前記入出力端子に流れる電流を測定することにより、前記列電

極の断線及び短絡、前記列電極の前記行電極を含む他の電極に対する短絡のうち、少なくとも一つの不良を検出することを特徴とする液晶表示装置の検査方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は液晶表示装置（Liquid Crystal Display：以下単にLCDとも言う）及びその検査方法に関する。

##### 【0002】

【従来の技術】一般に液晶表示装置は軽量、薄型で、低消費電力であるため、テレビ、携帯情報端末あるいはグラフィックディスプレイなどの表示素子として広く利用されている。特に、スイッチング素子として薄膜トランジスタ（Thin Film Transistor：TFT）を用いたマトリクス型の液晶表示装置は、高速応答性に優れ、高精細化に適しており、ディスプレイ画面の高画質化、大型化及びカラー画像化を実現するものとして注目されている。

【0003】従来、この種の液晶表示装置として、例えば図3に示すものが知られている。図3に示す液晶表示装置は、透光性基板の一主面にマトリクス状に配設された走査用の行電極11及び映像信号用の列電極12を有し、これら行電極11及び列電極12の各交差部分にそれぞれスイッチング素子としての薄膜トランジスタ13が設けられている。これら各薄膜トランジスタ13にはそれぞれ画素電極14が接続され、さらに、これらの画素電極14には対向電極16が対向配置され、これらの間に液晶層15が装入されている。

【0004】また、各行電極11は基板の図面上の側端部に設けられた行電極駆動回路18にそれぞれ接続され、各列電極12は基板の図面上の下端部に設けられた列電極駆動回路19にそれぞれ接続されている。各対向電極16は対向基板上配線31に共通接続され、この対向基板上配線31は、基板の下方の縁端に形成された入出力端子群としてのアウトリードボンディング（Outer Lead Bonding：以下、OLBと略記する）パッド群20中のOLBパッド26を介して、図示を省略した対向電極駆動回路にそれぞれ接続されている。

【0005】そして、各行電極11に対しては、行電極駆動回路18によって、上方から順に水平走査周期に対応する電圧が印加される。また、各列電極12には列電極駆動回路19に含まれる映像信号供給電極としてのビデオバスから映像信号に対応する電圧が印加される。このため、薄膜トランジスタ13は、行電極11からの選択信号が印加されるタイミングでオン状態になり、列電極12からの映像信号に対応する電圧をサンプリングして画素電極14に与える。このため、液晶層15には、画素電極14に加わった電圧と、対向電極駆動回路から対向電極16に加わった電圧との差分が充電され、その電界によって液晶層15が駆動されて表示動作が行われ

る。

【0006】以上は行電極駆動回路18及び列電極駆動回路19がガラス基板上に形成される場合であり、トランジスタを形成する半導体材料として、多結晶シリコン(polycrystalline silicon)を用いる液晶表示装置がp-Si型TFT・LCDと呼ばれ、非晶質シリコン(amorphous silicon)を用いる液晶表示装置がa-Si型TFT・LCDと呼ばれる。非晶質シリコンは多結晶シリコンに比べ、トランジスタ特性が劣るため、ガラス基板上に駆動回路を設けることは困難である。従って、a-Si型TFT・LCDのアレイ基板は画素部分のみで構成され、図4に示すように駆動回路は内蔵されない構成となる。この駆動回路は半導体集積回路(ドライバIC)としてアレイ基板とは別途作成され、アレイ基板のOLBパッド111~11n及び121~12nにTAB(Tape Automated Bonding)等の技法を用いて接続される。

【0007】図3に示す多結晶シリコンを用いたアレイ基板と図4に示す非晶質シリコンを用いたアレイ基板と

の相違点の一つは、OLBパッドである。非晶質シリコンでは列電極と行電極が直接OLBパッドに引き出される。従って、OLBパッドの数やピッチは列電極や行電極の数やピッチと同等である。一方、多結晶シリコンでは、列電極と行電極は、内蔵駆動回路によって駆動されるため、直接OLBパッドに引き出されることはない。OLBパッドから入力されるのは、内蔵駆動回路の入力であり、その本数は、一般に列電極や行電極の数より1桁程度小さい。従って、接続の信頼性確保のためOLBパッドのピッチも大きくできる。以上説明したOLBパッドの相違点をまとめると表1のようになり、非晶質シリコンに比べ多結晶シリコンでは、プローバの精度は低くてもよく、設備投資額が少なく済むというメリットがある。なお、表1はPC(パーソナルコンピュータ)用として一般的な10.4インチXGA(Extended Graphics Array)対応の液晶表示装置の場合を示し、数値は概略値である。

【0008】

【表1】

表1

|               | パッド数 | パッドピッチ  |
|---------------|------|---------|
| 非晶質シリコン(a-Si) | 4000 | 60[μm]  |
| 多結晶シリコン(p-Si) | 200  | 160[μm] |

上記のOLBパッドの違いはアレイ工程中の検査にも影響を与える。非晶質シリコンでは、アレイ工程中で列電極が形成されると、短絡、断線の検査(以下、OS検査とも言う)が実施される。これは列電極の一端に接続されたOLBパッドと他端に設けられたプロービング・パッドにプローブを当て、所定の電圧を印加し、このとき流れる電流を測定する検査である。ここで、列電極が正常に形成されておれば、印加電圧と列電極の抵抗から決められる所定の電流が観察される。もし、列電極が断線(オープン)しておれば電流は流れないので、断線不良を検出できる。また、検査時に行電極や補助容量電極に、列電極とは異なる電圧を印加しておけば、列電極がそれらと短絡(ショート)したときには異常な電流が流れるため、短絡不良を検出することができる。

【0009】一方、多結晶シリコンのアレイ工程ではOS検査がない。これは、列電極の端にプローブを当てるためのOLBパッドが無いためである。

【0010】

【発明が解決しようとする課題】上述したとおり、多結晶シリコンアレイ工程ではOS検査は実行されない。アレイ工程の最後ではアレイテストを行うが、多結晶シリコンでは内蔵駆動回路を介して画素部分を検査するためS/N(信号対雑音比)が悪く、線欠陥の検出率は十分ではない。以上から非結晶シリコンに比べ多結晶シリコンでは、列電極の断線、短絡等の不良の検出率は低くなる。この結果、不良アレイのセル工程への流れ込みが多

く、セル工程で無駄な製造コストを発生させることになる。

【0011】また、多結晶シリコンアレイでOS検査を実施しようとする、列電極の両端にプローブを当てるプロービングパッドが必要になる。このプロービングパッドはOLBパッドとほぼ同じ大きさが必要となる。これを列電極12と列電極駆動回路19との間に設けると、列電極駆動回路19の占有面積が増大することになる。この結果、製品である液晶モジュールのコンパクトさが失われてしまう。

【0012】さらに、プロービングパッドを設けたとしても、そのピッチは列電極のピッチと同等となり、多結晶シリコンアレイ基板の検査に高精度な非晶質シリコンアレイ基板検査用のプローバが必要になる。これは設備投資額の増大となる。

【0013】本発明は上記の問題点を解決するためになされたもので、その目的は列電極駆動回路の面積を増大させずに、低精度で低価格の多結晶シリコン用プローバを用いて、多結晶シリコンアレイ基板のOS検査を行い、不良アレイのセル工程への流れ込みを低減し、製造コストを削減することのできる液晶表示装置及びその検査方法を提供するにある。

【0014】

【課題を解決するための手段】請求項1に係る発明は、透光性の基板の一主面にマトリクス状に配設された走査用の行電極及び映像信号用の列電極、これら行電極及び

列電極の各交差部にそれぞれ設けられたスイッチング素子、これらのスイッチング素子にそれぞれ接続される画素電極、基板の縁端部に設けられ、外部との信号の入出力に使用される複数の入出力端子、行電極駆動回路、並びに入出力端子を介して外部から加えられる映像信号を列電極の一端に加える映像信号供給電極を含んでなる列電極駆動回路を有するマトリクスアレイ基板と、画素電極に対向させる対向電極を有し、マトリクスアレイ基板に対向配置された対向基板と、画素電極及び対向電極間に挟持された液晶層とを備え、行電極からの走査信号により列電極からの映像信号を、スイッチング素子を介して、画素電極に供給し、液晶層に電界を加える液晶表示装置において、基板の一面に形成され、各列電極の他端を少なくとも一つの入出力端子に共通接続するアレイ基板上配線を備えた、ことを特徴とするものである。

【0015】請求項2に係る発明は、請求項1に記載の液晶表示装置において、各列電極の他端を、それぞれ抵抗を介して、アレイ基板上配線に接続したことを特徴とするものである。

【0016】請求項3に係る発明は、請求項1に記載の液晶表示装置において、各列電極の他端を、それぞれ外部からオン、オフ制御することが可能なトランジスタを介して、アレイ基板上配線に接続したことを特徴とするものである。

【0017】請求項4に係る発明は、請求項1に記載の液晶表示装置において、各列電極の他端を、それぞれダイオードを介して、アレイ基板上配線に接続したことを特徴とするものである。

【0018】請求項5に係る発明は、請求項4に記載の液晶表示装置において、アレイ基板上配線は、互いに異なる入出力端子に接続された第1のアレイ基板上配線と第2のアレイ基板上配線とを含み、列電極の他端にアノードが接続され、第1のアレイ基板上配線にカソードが接続された第1のダイオードと、列電極の他端にカソードが接続され、第2のアレイ基板上配線にアノードが接続された第2のダイオードとを列電極毎に設けたことを特徴とするものである。

【0019】請求項6に係る発明は請求項5に記載の液晶表示装置において、第1及び第2のアレイ基板上配線は、マトリクスアレイ基板上行電極駆動回路または列電極駆動回路の入出力信号等の入出力端子群中の配線と兼用することを特徴とするものである。

【0020】請求項7に係る発明は、請求項1乃至6のいずれか1項に記載の液晶表示装置を検査するに当たり、アレイ基板上配線が接続された入出力端子と、これらの入出力端子以外の少なくとも映像信号を供給する入出力端子との間に所定の電圧を印加し、この電圧が印加された入出力端子に流れる電流を測定することにより、列電極の断線及び短絡、列電極の行電極を含む他の電極に対する短絡のうち、少なくとも一つの不良を検出する

ことを特徴とする液晶表示装置の検査方法である。

【0021】

【発明の実施の形態】以下、本発明を図面に示す好適な実施形態に基づいて詳細に説明する。

【0022】図1は本発明に係る液晶表示装置の第1の実施形態の構成を示す等価回路図である。

【0023】この実施形態は、マトリクス状に配設された走査線とも呼ばれる走査用の行電極11と信号線とも呼ばれる映像信号用の列電極12とを有し、これら行電極11と列電極12とが交差する各交差部の近傍にそれぞれスイッチング素子としての薄膜トランジスタ13が設けられ、これら各薄膜トランジスタ13のソース電極は列電極12に、ドレイン電極は画素電極14に、ゲート電極は行電極11にそれぞれ接続され、これらがマトリクスアレイ基板を構成している。

【0024】また、マトリクスアレイ基板の画素電極14に対向する対向電極16を有する対向基板が、画素電極14と対向電極16とが所定の間隙で対向するように配置されており、これら画素電極14と対向電極16との間に液晶層15が挟持されている。また、マトリクスアレイ基板の行電極11の一方の配設端部、すなわち、図面の左端部には行電極11を上方のものから順に駆動する行電極駆動回路18が設けられ、列電極12の一方の配設端部、すなわち、図面の下端部には映像信号を供給する列電極駆動回路19が設けられている。列電極駆動回路19はシフトレジスタ19a及びスイッチング素子19bを含み、シフトレジスタ19aがスイッチング素子19bを駆動することによって映像信号を列電極12に供給するようになっている。

【0025】さらに、列電極駆動回路19が設けられた下端部におけるマトリクスアレイ基板の縁端に、OLBパッド21～26を含むOLBパッド群20が設けられ、このうち、OLBパッド21、22は行電極駆動回路18の入力端子に接続され、OLBパッド23はスイッチング素子19bのソースに接続されている。また、OLBパッド24、25はシフトレジスタ19aの入力端子に接続され、OLBパッド26は、対向基板上に配線された対向基板上配線31に接続され、もう一つのOLBパッド27は列電極12の他端、すなわち、図面の上部の配設端を共通接続し、かつ、アレイ基板上に配線されたアレイ基板上配線32に接続されている。

【0026】かかる構成により、例えば、OLBパッド23に電圧源41を接続し、OLBパッド27にも一つの電圧源42を接続し、OLBパッド23及びOLBパッド27間に所定の試験電圧を印加すると共に、電圧源41からOLBパッド23に流れる電流値を測定することによって、列電極12に映像信号を供給するビデオバス及び列電極12の断線や短絡を検出することができる。

【0027】かくして、この第1の実施形態によれば、

ビデオバス及び列電極12の断線や短絡を検査するために、列電極12と列電極駆動回路19との間にプローピングパッドを設けずに済むことから、列電極駆動回路19の占有面積の増大が回避され、製品モジュールのコンパクトさを維持することができる。また、プローブはこれまで通りOLBパッド群20に当接させるだけで済むため、高精度かつ高価格の非晶質シリコン用のプローブは不要となる。

【0028】なお表示装置として出画するときには各列電極12が短絡していると正常に出画できないため、上記検査の後、アレイ基板上配線32を切り離す。

【0029】ところで、図1に示した第1の実施形態では、列電極12の各他端をアレイ基板上配線32に直接接続したが、各列電極12の他端部にそれぞれ抵抗を設け、この抵抗を介して列電極12をアレイ基板上配線32に接続することによって、列電極12がアレイ基板上配線32を介して短絡するという事態を未然に防ぐことができる。

【0030】また、図示を省略するが、上記抵抗の代わりに外部からオン、オフ制御することが可能なトランジスタを設け、列電極12をこのトランジスタを介してアレイ基板上配線32に接続し、ビデオバス及び列電極12の断線や短絡を検査する場合にこのトランジスタをオン状態とし、それ以外の場合にはこのトランジスタをオフ状態にすることによって、検査時の電流の確保と非検査時の各列電極12相互間の短絡をより確実に防止することができる。

【0031】図2は本発明に係る液晶表示装置の第2の実施形態の構成を示す等価回路図である。図中、図1と同一の要素には同一の符号を付してその説明を省略する。この実施形態はOLBパッド群20中のOLBパッド27及び28にそれぞれ一端が接続され、他端部がアレイ基板の反対の縁端部、すなわち、図面上端部に位置するように引き回されたアレイ基板上配線32A及び32Bを設けると共に、各列電極12をアレイ基板上配線32Aに接続する経路にダイオード33Aを設け、各列電極12をアレイ基板上配線32Bに接続する経路にダイオード33Bを設けた点が図1と構成を異にし、これ以外の構成は図1に示したものと同一である。なお、ダイオード33Aはそのアノードがアレイ基板上配線32Aに接続され、そのカソードが列電極12に接続されているのに対して、ダイオード33Bはそのアノードが列電極12に接続され、そのカソードがアレイ基板上配線32Bに接続されている。

【0032】上記のように構成された第2の実施形態の検査方法について、特に、図1と構成を異にする部分を中心にして以下に説明する。

【0033】各列電極12に対応して設けられたダイオード33A、33Bは列電極12に対して異なる向きで接続されている。ここで、OLBパッド27に電圧源4

2を接続し、OLBパッド28に電圧源43を接続する。そして、電圧源42によりアレイ基板上配線32Aに正常な列電極電位よりも低い電位を印加し、電圧源43によりアレイ基板上配線32Bに正常な列電極電位よりも高い電位を印加する。このとき、列電極12の電位が正常な場合には、ダイオード33A、33Bはいずれもオフ状態となり、電流は流れない。

【0034】ここで、万一、列電極12に異常な電圧が発生した場合を考える。一例として、列電極の電位が正常な電位よりも低くなるとダイオード33Aがオン状態となり、列電極12とアレイ基板上配線32B間に電流が流れる。この電流は列電極の電位が正常に戻り、アレイ基板上配線32Aの電位よりも高くなるまで流れ続ける。逆に、列電極の電位が正常な電位よりも高くなるとダイオード33Bがオン状態となり、列電極12とアレイ基板上配線32Aとの間に電流が流れる。この電流は列電極12の電位が正常に戻り、アレイ基板上配線32A上の電位よりも低くなるまで流れ続ける。以上の動作により二つのダイオード33A、33Bは列電極12に発生した異常な電圧をアレイ基板上配線32A、アレイ基板上配線32Bを通して外部に逃がすことにより、列電極12を破壊から保護している。これらのダイオードの保護機能については、本願と同一の出願人によって出願された特願平10-271514号等に提案されている。

【0035】上述したように、保護機能を持たせたダイオード33A、33Bを備えるものにおいても、アレイ基板上配線32A、32Bとビデオバス間の電流を、OLBパッド23の外部にて測定することにより、列電極12のOS検査を実施することができる。すなわち、アレイ基板上配線32Aを用いる場合には電圧源42により、このアレイ基板上配線32Aの電位を正常な列電極電位より高くし、ダイオード33Aをオン状態にし、ビデオバスからダイオード33Aまでの電流経路を確保する。そして、アレイ基板上配線32Aと列電極12に映像信号を供給するビデオバスとの間に所定の電圧を印加し、電流を測定することにより、列電極12及びビデオバスの断線（オープン）や短絡（ショート）の不良の有無を検出することができる。また、アレイ基板上配線32Bを用いる場合は、逆に電圧源43によりアレイ基板上配線32Bの電位を正常な列電極12の電位より低くし、ダイオード33Bをオン状態にしてOS検査を行う。

【0036】ここで、検査時にアレイ基板上配線32A、33B、ビデオバス、図示省略のC線（補助容量線）、行電極の各電位を表2のように設定する。

【0037】

【表2】

表2

| 電 極         | 設定電位 |
|-------------|------|
| アレイ基板上配線32A | 2V   |
| アレイ基板上配線32B | 2V   |
| ビデオバス       | 5V   |
| Cs線         | 15V  |
| 行電極         | -5V  |

この時は、アレイ基板上配線32Bに接続されたダイオード33Bがオン状態となる。列電極が正常で断線や短絡がない場合、ビデオバスの電圧5[V]と、アレイ基板上配線32Bの電圧2[V]との電位差3[V]の電圧が図示を省略した測定回路に印加される。そして、この電圧と列電極やビデオバスの抵抗値によって決まる電流（正常値）が観測される。以下、故障の種類によって観察される電流値がどのように変化するかについて説明する。

#### （1）列電極の断線

列電極が断線した場合、電流の流れる経路が無くなるため、観察電流はほぼ0[A]となる。

#### （2）列電極とCs線（補助容量線）との短絡

列電極とCs線とが短絡した場合、15[V]のCs線から5[V]のビデオバスに向かって不良に起因する異常電流が流れる。この異常電流は、正常電流とは向きが逆になる。従って、列電極とCs線との短絡が発生した場合、観察される電流値は正常値より小さくなる。

#### （3）列電極と行電極との短絡

列電極と行電極とが短絡した場合、5[V]のビデオバスから-5[V]の行電極に向かって不良に起因する異常電流が流れる。この異常電流は、正常電流と向きが同じとなる。従って、列電極と行電極との短絡が発生した場合、観察される電流値は正常値より大きくなる。

【0038】上述した正常及び異常のモードと観察される電流値との関係をまとめると下記の表3の通りになる。

【0039】

【表3】

表3

| 正常/異常（モード） | 観察される電流     |
|------------|-------------|
| 列電極正常      | 正常値         |
| 列電極断線      | 電流=0        |
| 列電極-Cs線短絡  | 正常値に比べ過小な電流 |
| 列電極-行電極短絡  | 正常値に比べ過大な電流 |

このように、図2に示した第2の実施形態においても、各電極の電位を適宜に設定することによって、不良の有無だけでなく、不良の種類を特定することができるため、有効な不良解析が可能となる。

【0040】かくして、第2の実施形態によれば、第1

の実施形態と同様に、ビデオバス及び列電極12の断線や短絡を検査するために、列電極12と列電極駆動回路19との間にプロービングパッドを設けなくて済むことから、列電極駆動回路19の占有面積の増大が回避され、製品モジュールのコンパクトさを維持することができる。また、プローブはこれまで通りOLBバンド群20に当接させるだけで済むため、高精度かつ高価格の非晶質シリコン用のプローブは不要となる。

【0041】なお本実施例中のアレイ基板上配線32Aと32Bは検査専用の配線である必要はなく、例えば行電極駆動回路18或いは列電極駆動回路19の電源の配線と兼用することも可能である。

#### 【0042】

【発明の効果】以上の説明によって明らかなように、本発明によれば、列電極駆動回路の面積を増大させずに、低精度で低価格の多結晶シリコン用プローブを用いて、多結晶シリコンアレイのOS検査を行い、不良アレイのセル工程への流れ込みを低減し、製造コストを削減することができる。

【0043】また、本発明によれば、検査時に各電極の電位を適宜設定することによって、不良の有無だけでなく、不良の種類を特定することができるため、有効な不良解析が可能となる。

#### 【図面の簡単な説明】

【図1】本発明に係る液晶表示装置の第1の実施形態の構成を示す等価回路図。

【図2】本発明に係る液晶表示装置の第2の実施形態の構成を示す等価回路図。

【図3】従来の多結晶シリコン型液晶表示装置の構成を示す等価回路図。

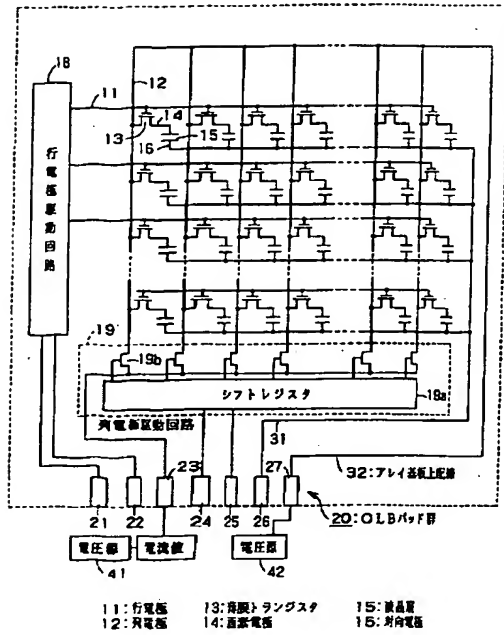
【図4】従来の非晶質シリコン型液晶表示装置の構成を示す等価回路図。

#### 【符号の説明】

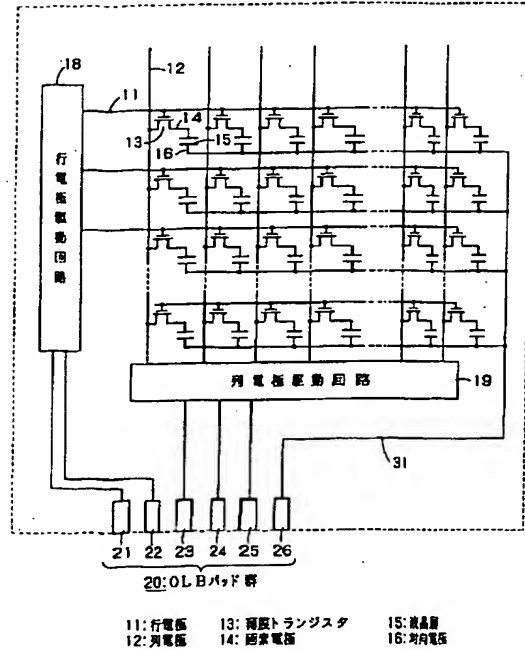
- 11 行電極
- 12 列電極
- 13 薄膜トランジスタ
- 14 画素電極
- 15 液晶層
- 16 対向電極
- 18 行電極駆動回路
- 19 列電極駆動回路
- 20 アウタリードボンディングパッド群
- 21～27 アウタリードボンディングパッド（入出力端子）
- 31 対向基板上配線
- 32, 32A, 32B アレイ基板上配線
- 41, 42 電圧源



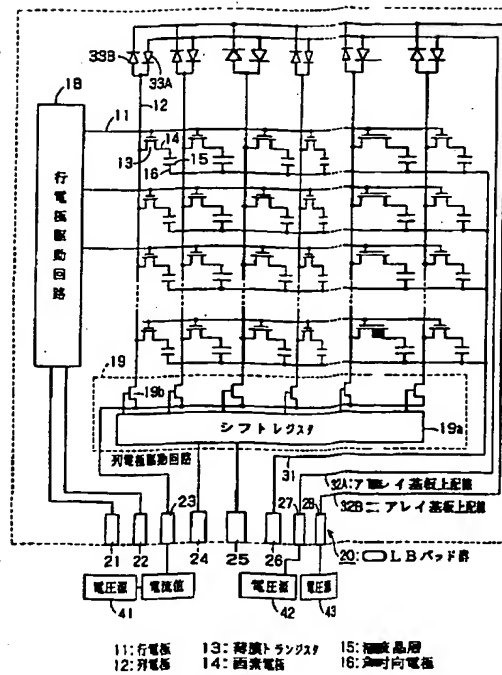
【図1】



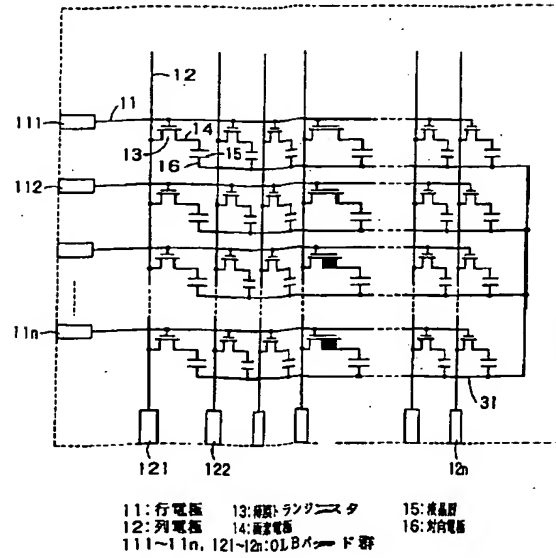
【図3】



【図2】



【図4】



フロントページの続き

Fターム(参考) 2G014 AA02 AA03 AB21 AC09 AC10  
2G036 AA22 AA27 BA33 BB12 CA06  
2H088 EA02 FA13 HA02 HA06 HA08  
MA20  
2H092 GA40 GA51 GA59 JA24 JB22  
JB31 KAO4 KA05 NA13 NA14  
NA15 NA16 NA29 PA06